



Hybrid Architecture for Hardware-accelerated Query Processing in Semantic Web Databases based on Runtime Reconfigurable FPGAs

Dipl.-Inf. Stefan Werner

Institut für Informationssysteme

Mündliche Prüfung des laufenden Promotionsverfahrens (Dr.-Ing.)

6. Februar 2017, Lübeck



Inhalt

Warum alternative Architekturen?

Grundlagen

Von der Anfrage zum Beschleuniger

Fazit



Inhalt

Warum alternative Architekturen?

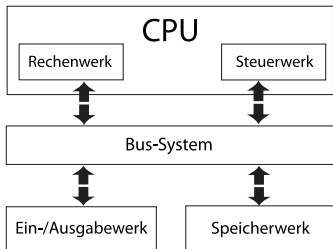
Grundlagen

Von der Anfrage zum Beschleuniger

Fazit

Warum alternative Architekturen?

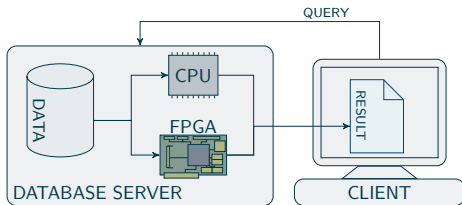
- ▶ Traditionelle Rechnerarchitekturen (von-Neumann)
 - ▶ Technologische Grenzen (*power wall*)
 - ▶ Architektur-bedingte Grenzen (*memory wall*)
- ▶ Kompromiss zwischen Universalität und Effizienz
 - ▶ Optimierte Datenstrukturen
 - ▶ Hardwarebeschleuniger



[<https://commons.wikimedia.org>]

Warum alternative Architekturen?

- ▶ **Ziel:** Hardwarebeschleuniger für Anfrageverarbeitung
- ▶ **Problem:** Art der Anfragen nicht vorhersehbar
- ▶ **Lösung:** Anfragen dynamisch auf rekonfigurierbare Hardware abbilden





Inhalt

Warum alternative Architekturen?

Grundlagen

Von der Anfrage zum Beschleuniger

Fazit

Grundlagen // Semantic Web

The Semantic Web is an extension of the current web in which information is given well-defined meaning, better enabling computers and people to work in cooperation. [Berners-Lee et al.]

- ▶ Ressourcen und Relationen in einem standardisierten maschinenlesbaren Format
- ▶ World Wide Web Consortium (W3C) erarbeitet Reihe von Standards

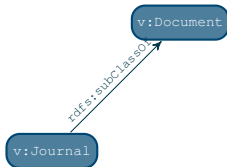
Grundlagen // Semantic Web // Resource Description Framework (RDF)

- ▶ Datensätze bestehen aus Tripeln, jedes mit den Komponenten *Subjekt, Prädikat, Objekt* (SPO)

```
1 v:Journal rdfs:subClassOf v:Document .
2 v:Article rdfs:subClassOf v:Document .
3 l:Journal1 rdf:type v:Journal .
4 l:Journal1 v:title "Nature Research"^^xsd:string .
5 l:Article1 rdf:type v:Article .
6 l:Article1 v:abstract "In this paper ..."@en .
7 l:Article1 v:publishedIn l:Journal1 .
8 l:Article1 v:creator l:Famous_Author .
9 l:Famous_Author v:name "Stephen Hawking"^^xsd:string .
```

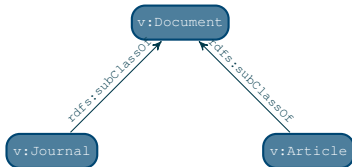

Grundlagen // Semantic Web // Resource Description Framework (RDF)

```
v:Journal rdfs:subClassOf v:Document
```



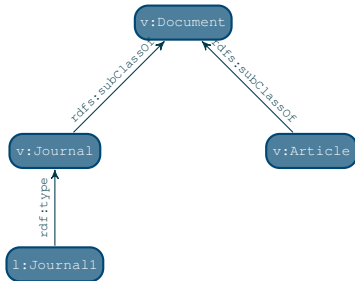
Grundlagen // Semantic Web // Resource Description Framework (RDF)

```
v:Article rdfs:subClassOf v:Document
```



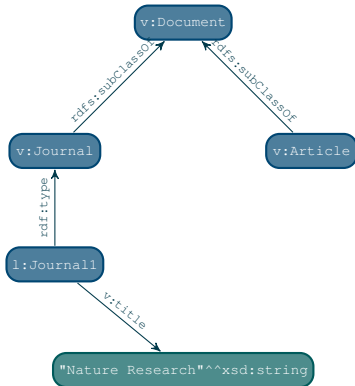
Grundlagen // Semantic Web // Resource Description Framework (RDF)

```
l:Journal1 rdf:type v:Journal
```



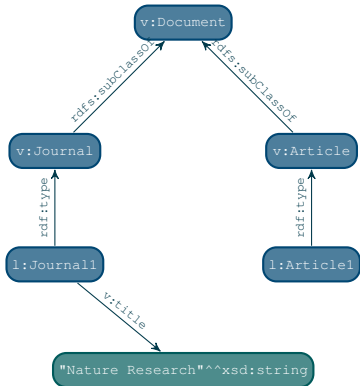
Grundlagen // Semantic Web // Resource Description Framework (RDF)

```
l:Journal1 v:title "Nature Research"^^xsd:string
```



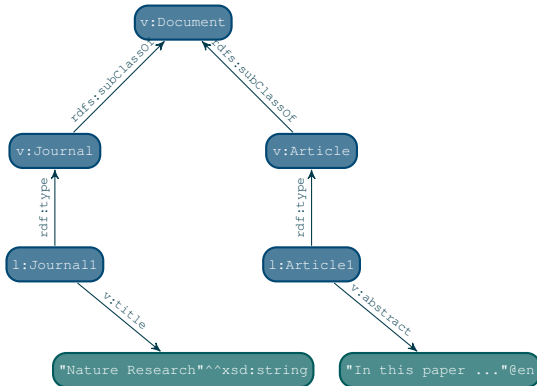
Grundlagen // Semantic Web // Resource Description Framework (RDF)

```
l:Article1 rdf:type v:Article
```



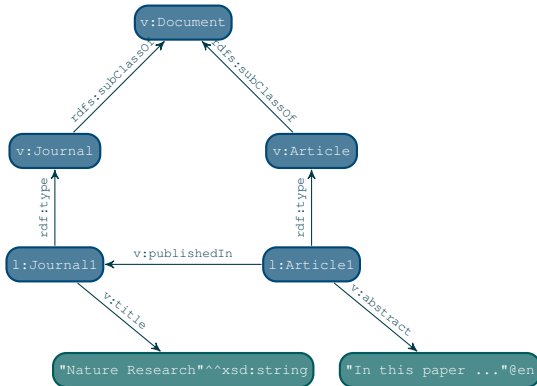
Grundlagen // Semantic Web // Resource Description Framework (RDF)

```
l:Article1 v:abstract "In this paper ..."@en
```



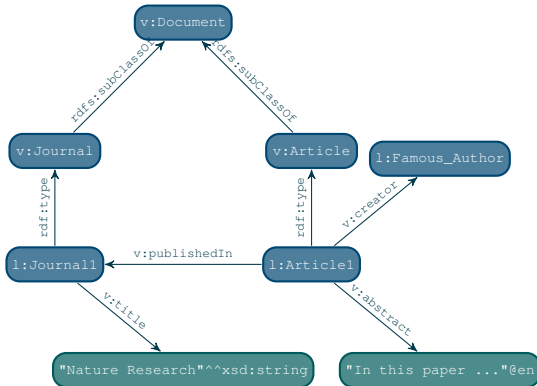
Grundlagen // Semantic Web // Resource Description Framework (RDF)

l:Article1 v:publishedIn l:Journal1



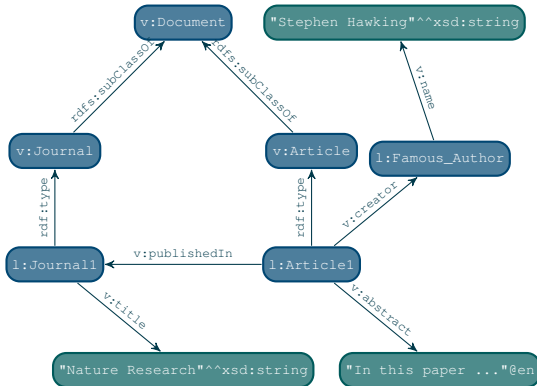
Grundlagen // Semantic Web // Resource Description Framework (RDF)

```
l:Article1 v:creator l:Famous_Author
```

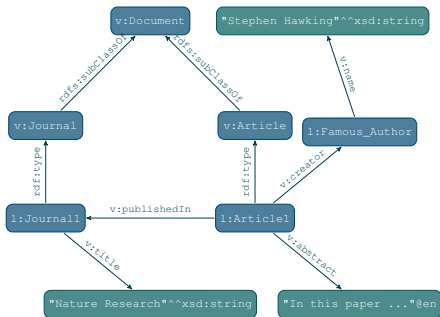


Grundlagen // Semantic Web // Resource Description Framework (RDF)

```
l:Famous_Author v:name "Stephen Hawking"^^xsd:string
```



Grundlagen // Semantic Web // SPARQL

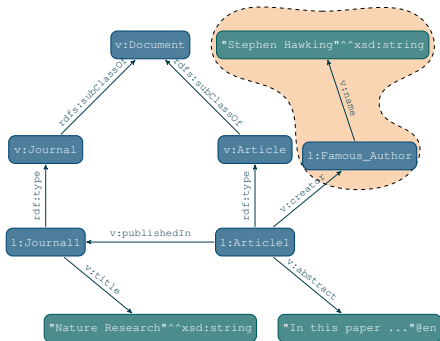


```

SELECT ?aName WHERE {
    ?author v:name ?aName .
    ?doc v:creator ?author .
    ?doc v:publishedIn i:Journal1
}
    
```

Grundlagen // Semantic Web // SPARQL

Index Scan on
?author v:name ?aName



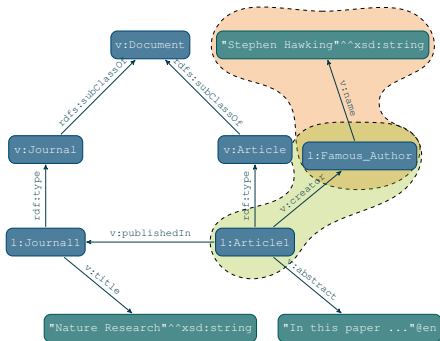
```

SELECT ?aName WHERE {
  ?author v:name ?aName .
  ?doc v:creator ?author .
  ?doc v:publishedIn l:Journal1
}
  
```

Grundlagen // Semantic Web // SPARQL

Index Scan on
?author v:name ?aName

Index Scan on
?doc v:creator ?author



```

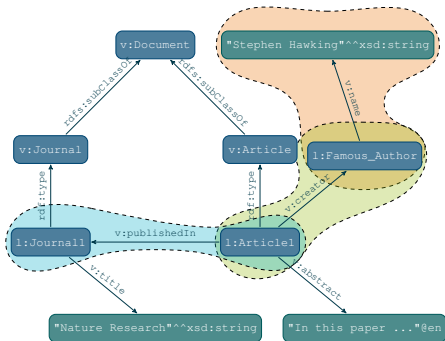
SELECT ?aName WHERE {
  ?author v:name ?aName .
  ?doc v:creator ?author .
  ?doc v:publishedIn l:Journal1
}
  
```

Grundlagen // Semantic Web // SPARQL

Index Scan on
 ?author v:name ?aName

Index Scan on
 ?doc v:creator ?author

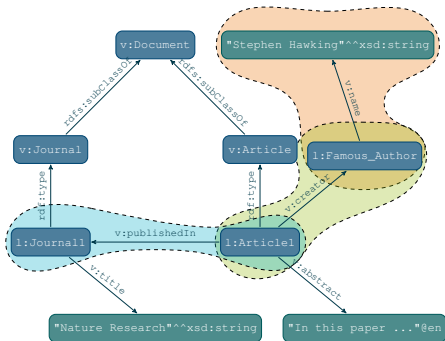
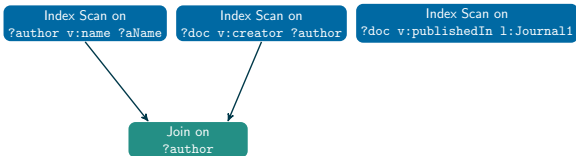
Index Scan on
 ?doc v:publishedIn l:Journal1



```

SELECT ?aName WHERE {
    ?author v:name ?aName .
    ?doc v:creator ?author .
    ?doc v:publishedIn l:Journal1
}
    
```

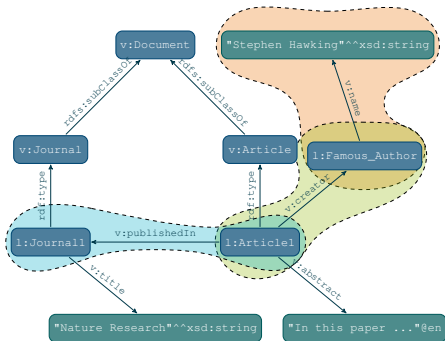
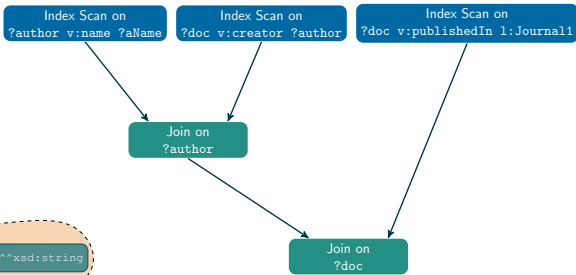
Grundlagen // Semantic Web // SPARQL



```

SELECT ?aName WHERE {
  ?author v:name ?aName .
  ?doc v:creator ?author .
  ?doc v:publishedIn l:Journal1
}
  
```

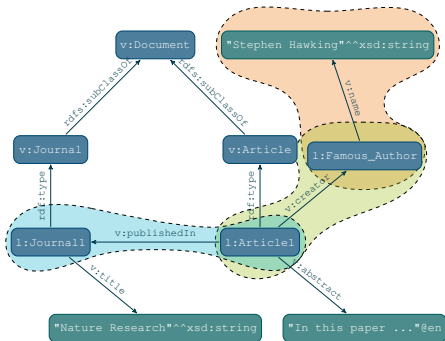
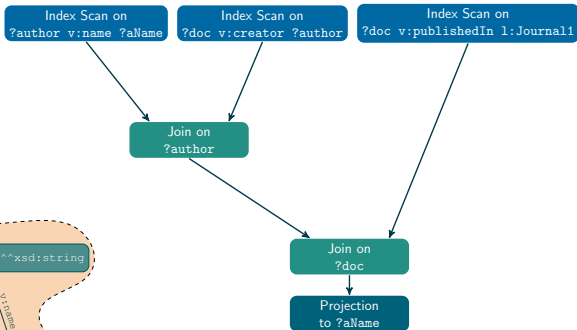
Grundlagen // Semantic Web // SPARQL



```

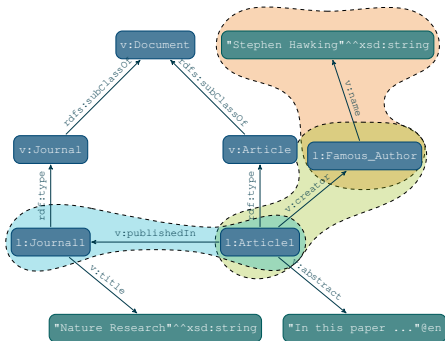
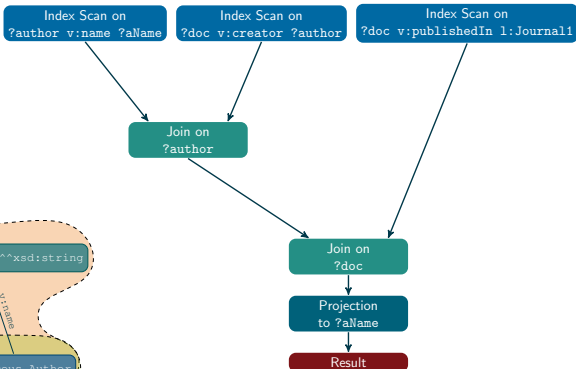
SELECT ?aName WHERE {
  ?author v:name ?aName .
  ?doc v:creator ?author .
  ?doc v:publishedIn l:Journal1
}
  
```

Grundlagen // Semantic Web // SPARQL



```
SELECT ?aName WHERE {
  ?author v:name ?aName .
  ?doc v:creator ?author .
  ?doc v:publishedIn l:Journal1
}
```


Grundlagen // Semantic Web // SPARQL

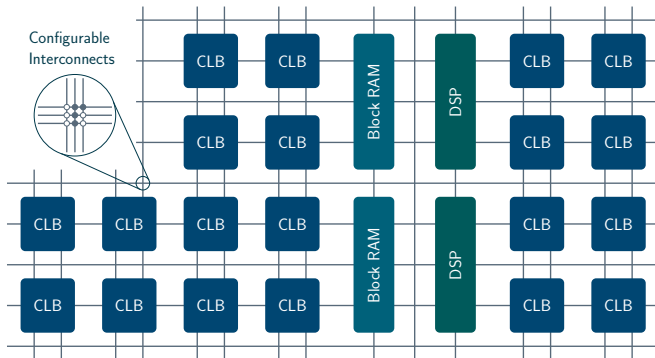


```
SELECT ?aName WHERE {
  ?author v:name ?aName .
  ?doc v:creator ?author .
  ?doc v:publishedIn l:Journal1
}
```

Grundlagen // Field-Programmable Gate Array (FPGA)



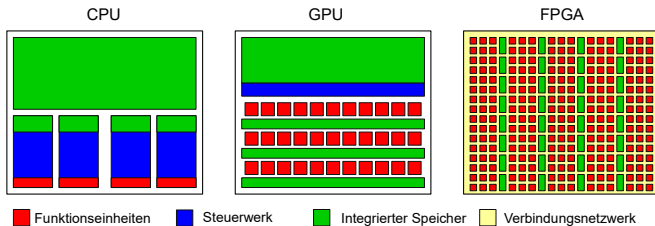
Grundlagen // Field-Programmable Gate Array (FPGA)



Grundlagen // Field-Programmable Gate Array (FPGA)

- ▶ Datenflussgetriebenes Berechnungsmodell
- ▶ Anwendungsspezifische Daten- & Verarbeitungsparallelität
- ▶ Ermöglicht den Entwurf anwendungsspezifischer Hardware und Rekonfiguration zur Laufzeit

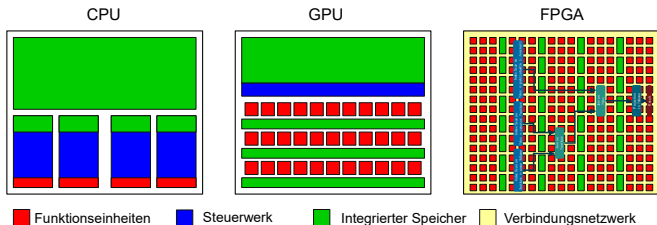
→ interessant für Anfrageverarbeitung



(adapted from C.Plessl [http://www.imprs-dynamics.mpg.de/pdfs/Plessl_talk.pdf])

Grundlagen // Field-Programmable Gate Array (FPGA)

- ▶ Datenflussgetriebenes Berechnungsmodell
 - ▶ Anwendungsspezifische Daten- & Verarbeitungsparallelität
 - ▶ Ermöglicht den Entwurf anwendungsspezifischer Hardware und Rekonfiguration zur Laufzeit
- interessant für Anfrageverarbeitung



(adapted from C.Plessl [http://www.imprs-dynamics.mpg.de/pdfs/Plessl_talk.pdf])



Inhalt

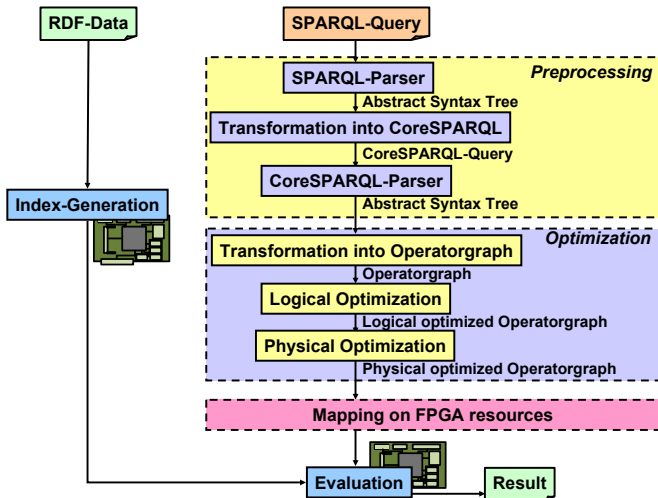
Warum alternative Architekturen?

Grundlagen

Von der Anfrage zum Beschleuniger

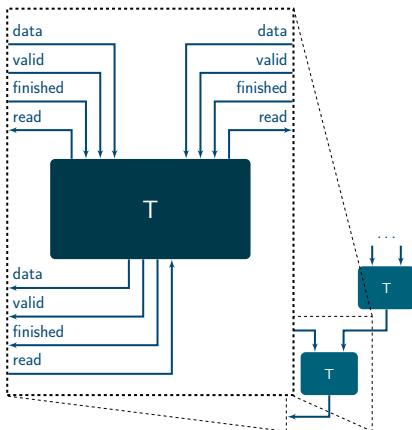
Fazit

Von der Anfrage zum Beschleuniger // LUPOSDATE

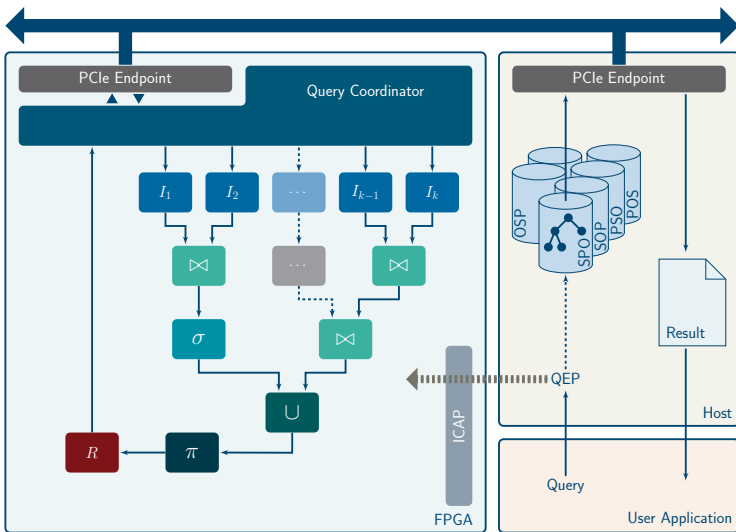


Von der Anfrage zum Beschleuniger // Operator Template

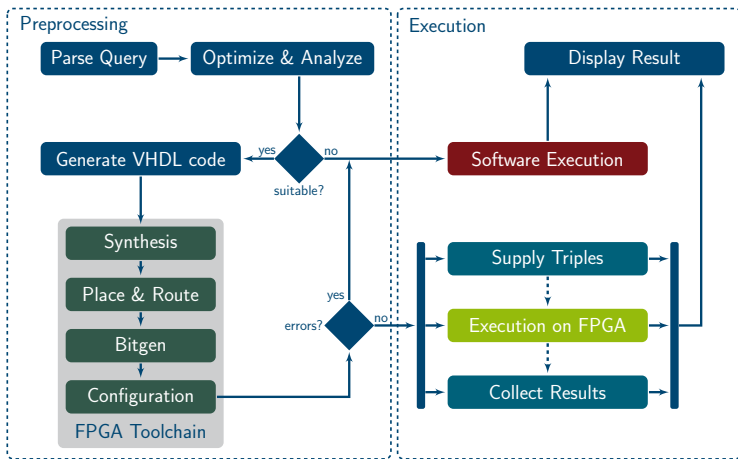
- ▶ *Operator Template* definiert gemeinsame Schnittstelle
- ▶ Ermöglicht die Komposition mehrerer Operatoren nach dem Baukastenprinzip
- ▶ Satz von Operatoren in VHDL implementiert



Von der Anfrage zum Beschleuniger // System 1



Von der Anfrage zum Beschleuniger // System 1



Von der Anfrage zum Beschleuniger // System 1 // Ergebnis

Evaluation von 15 Testanfragen auf synthetischen und reale Datensätzen (mit bis zu 1 Mrd. Tripeln) zeigt:

- ▶ niemals signifikant langsamer als Softwaresystem (1)
- ▶ inkl. Kommunikationskosten zwischen Hostsystem und FPGA
- ▶ meist Beschleunigung von 1,5X bis 4,9X (8) bzw. 5X bis 32X (6)

Von der Anfrage zum Beschleuniger // System 1 // Ergebnis

Evaluation von 15 Testanfragen auf synthetischen und reale Datensätzen (mit bis zu 1 Mrd. Tripeln) zeigt:

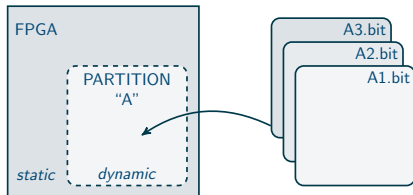
- ▶ niemals signifikant langsamer als Softwaresystem (1)
- ▶ inkl. Kommunikationskosten zwischen Hostsystem und FPGA
- ▶ meist Beschleunigung von 1,5X bis 4,9X (8) bzw. 5X bis 32X (6)

ABER 😞

- ▶ Erzeugung des *rekonfigurierbaren Moduls* (RM) zeitintensiv
- ▶ bis zu 30 Minuten; reine Anfrageausführung nur (Milli)Sekunden

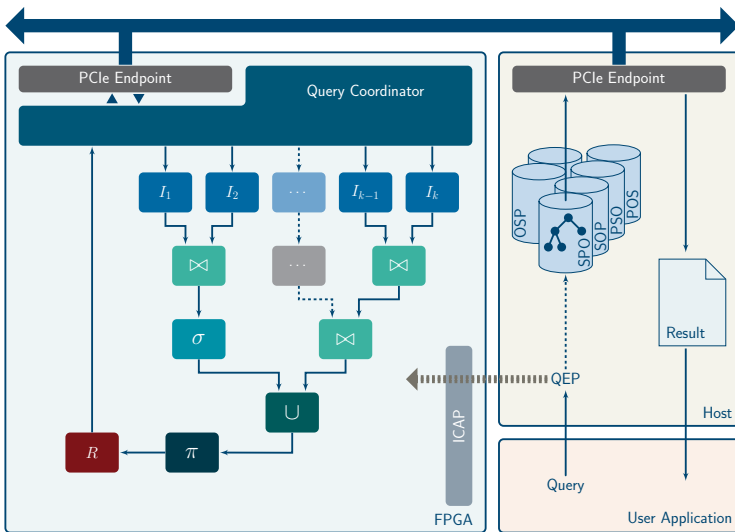
Von der Anfrage zum Beschleuniger // System 2

Dynamisch partielle Rekonfiguration

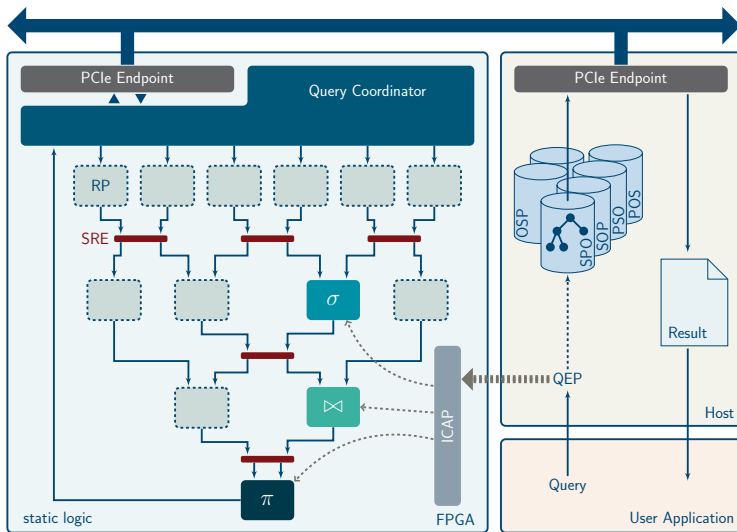


- ▶ Ressourcen werden in statische und eine oder mehrere Partitionen aufgeteilt
- ▶ Mehrere rekonfigurierbare Module mit verschiedenen Funktionen können in die Partitionen konfiguriert werden

Von der Anfrage zum Beschleuniger // System 2

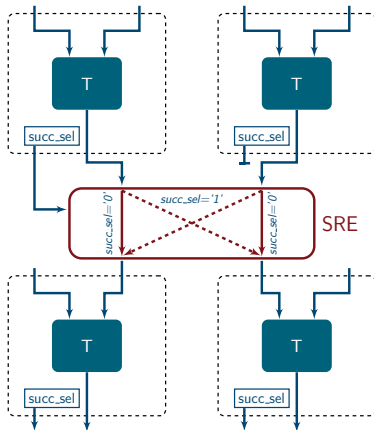


Von der Anfrage zum Beschleuniger // System 2

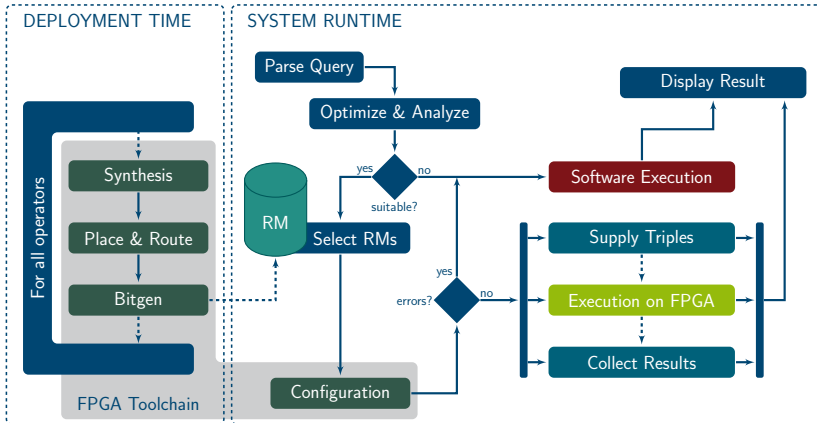


Von der Anfrage zum Beschleuniger // System 2 // SRE

- ▶ SREs befinden sich in der statischen Logik
- ▶ Endgültige Route wird durch externes Signal *succ_sel* bestimmt
- ▶ Wert von *succ_sel* wird vom inneren der Partition gesetzt und hängt somit vom konfigurierten Modul ab



Von der Anfrage zum Beschleuniger // System 2



Von der Anfrage zum Beschleuniger // System 2 // Ergebnis

- ▶ Geringere Flexibilität
- ▶ Erzeugung vieler rekonfigurierbarer Module (vor Systemlaufzeit)
- ▶ Rekonfiguration von kompletten Anfragen wesentlich schneller, statt Minuten wenige Millisekunden
- ▶ Zeit der reinen Anfrageverarbeitung identisch zu System 1
- ▶ Rekonfiguration beeinflusst den Beschleunigungsfaktor nur gering (0,3 – 3,8%)



Inhalt

Warum alternative Architekturen?

Grundlagen

Von der Anfrage zum Beschleuniger

Fazit

Fazit

Wesentliche Beiträge dieser Arbeit:

- ▶ Flexibles Framework um Anfragen dynamisch auf FPGAs abzubilden
- ▶ Kollaborative Ausführung beschleunigt Anfrageauswertung

In (einer nicht allzu fernen) Zukunft:

- ▶ Abbildung von Anfragen auf NoCs (blochwitz @ ITI)
- ▶ Hybride Indexstrukturen (heinrich @ IFIS)

